

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

JPAB

CLIPPEDIMAGE= JP360194647A

PAT-NO: JP360194647A

DOCUMENT-IDENTIFIER: JP 60194647 A

TITLE: DATA TRANSMISSION SYSTEM

PUBN-DATE: October 3, 1985

INVENTOR-INFORMATION:

NAME

NISHINO, NOBUHIRO

KAMIMURA, HIROSHI

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP59049085

APPL-DATE: March 16, 1984

INT-CL (IPC): H04L013/00; H04L011/00

ABSTRACT:

PURPOSE: To restart a terminal device remotely even if it is abnormal by providing a means which allows a host computer to reset the central processor of the terminal device through hardware to the data transmission system wherein the host computer and plural terminal devices are connected mutually through a transmission line.

CONSTITUTION: A reset request signal from the host computer is received the transmission control circuit 11 in the transmission control board 6 in a terminal device and transferred to a memory 10 through the bus 13 in the transmissio control board. Then, MPU9 call a signal stored in the memory through the bus 13 and accesses a resetting circuit 14 through the bus 13 in the transmission control board once deciding that the accessed signal is the reset request signal. When the signal is normal data, the microprocessor 9 initiates an interruption for reception to the CPU4 through the bus 13, bus interface 12, and main bus 8. The resetting circuit 14 sends the nonconditional reset signal of the CPU to the control bus in the main bus 8 in response to the access signal. Thus, the host computer resets the central processor of the terminal device through the hardware.

COPYRIGHT: (C) 1985, JPO&Japio

⑨ 日本国特許庁 (J P)

⑩ 特許出願公開

⑫ 公開特許公報 (A) 昭60-194647

⑬ Int. Cl.

H 04 L 13/00
11/00

識別記号

庁内整理番号

C-7240-5K
Z-7830-5K

⑭ 公開 昭和60年(1985)10月3日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 データ伝送システム

⑯ 特 願 昭59-49085

⑰ 出 願 昭59(1984)3月16日

⑱ 発 明 者 西 野 信 博 日立市森山町1168第番地 株式会社日立製作所エネルギー
研究所内

⑲ 発 明 者 上 村 博 日立市森山町1168番地 株式会社日立製作所エネルギー研
究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 高橋 明夫 外2名

明 細 書

発明の名称 データ伝送システム

特許請求の範囲

1. 親計算機と複数の端末機が互いに伝送路によつて結ばれて成るデータ伝送システムにおいて、前記端末機の中央処理装置を親計算機がハード的にリセットする手段を設けた事の特徴とするデータ伝送システム。

2. 特許請求の範囲第1項に記載されたデータ伝送システムにおいて、前記端末機のリセット手段は、前記端末機の伝送制御ボード内に組込み、親計算機が前記伝送路に該端末機宛のリセット要求信号を送信することにより、該端末機の中央処理装置をリセットするリセット回路を特徴とするデータ伝送システム。

発明の詳細な説明

(発明の利用分野)

本発明は、データ伝送システムに関り、特に、伝送路によつて結ばれた計算機システムにおける一台以上の下位計算機の故障時や動作不良、及び

動作確認の必要時に、上位計算機が遠隔から下位計算機の再起動を行うのに好適なデータ伝送システム。

(発明の背景)

従来のシステムにおいては、端末機の中央処理装置のリセットは、電源のON/OFFまたは端末機上のリセットスイッチを押すしかなく、何らかの原因で端末機の中央処理装置が停止または暴走した時、上位計算機は該端末機と情報の交換ができず、端末機の制御タスクやプログラムの再起動が、上位計算機からはできないという欠点があった。

(発明の目的)

本発明の目的は、上位計算機が伝送路で結ばれた端末機の中央処理装置のハード的なリセット機能を持つデータ伝送システムを提供することにある。

(発明の概要)

本発明の特徴は、伝送路で結ばれた端末機の伝送制御ボード中にリセット回路を設ける事により、上位計算機から端末機の中央処理装置をハード的

にリセットできるようにした事にある。

〔発明の実施例〕

以下、本発明の一実施例を図面を用いて説明する。第1図に実施例の計算機システム構成を示す。

上位計算機1は、伝送路3を通じて、各端末機2とデータ伝送を行つている。その端末機2の機能ブロックを図2に示す。

図2において、端末機内のメインバス8はコントロールバス、アドレスバス、データバスの3つのバスからなる。そのメインバス8によつてCPU4、メモリ5、伝送制御ボード6、P I/Oボード7が連絡している。

上位計算機がある端末機の中央処理装置をリセットしたい時、上位計算機は端末機の伝送制御ボード中のリセット機能回路を作動させて、リセットする。

その方法を端末機中の伝送制御ボード6の機能回路を示して第3図を用いて説明する。

上位計算機からのリセット要求信号は、伝送路3から端末機内の6で受信される。

より詳細には、この信号を端末機内伝送制御ボード6中の11が受信し、13を通して10に転送する。

その次に、MPU9はメモリーに格納された信号を13を通じて呼び出して、その信号をリセット要求信号と判定すると、リセット回路14に13を用いてアクセスする。もし通常データであれば9は13、12、8を通し4に受信割込をする。

このアクセス信号によりリセット回路はメインバス8中のコントロールバスにCPUの無条件リセット信号を送る。

こうして、上位計算機は端末機の中央処理装置のハードのリセットができる。

〔発明の効果〕

以上述べたように、本発明によれば、上位計算機が端末機の中央制御装置（CPU）をハード的にリセットが可能となる構成ができるので、端末機の異常時にも遠隔からの再立上げが可能となる効果がある。

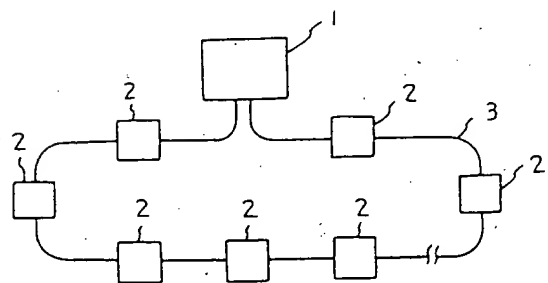
図面の簡単な説明

第1図は計算機伝送システムの概念図、第2図は端末機の構成図、第3図は本発明の伝送制御ボードの構成図である。

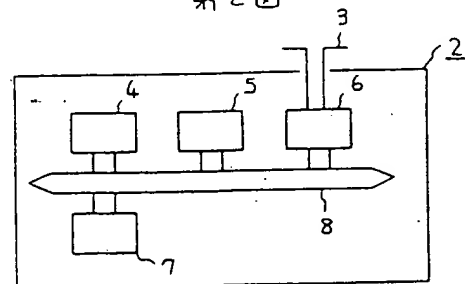
1…上位計算機、2…端末機、3…伝送路、4…中央処理装置（CPU）、5…メモリボード、6…伝送制御ボード、7…P I/O（プロセス入出力）ボード、8…端末機内のメインバス、9…MPU（マイクロ・プロセッサ）、10…メモリー、11…伝送制御回路、12…バス・インターフェース、13…伝送制御ボード内のバス、14…本発明によるリセット回路。

代理人 弁理士 高橋明夫

第1図



第2図



第3図

